

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-035207

(43)Date of publication of application : 12.02.1993

(51)Int.Cl.

G09G 3/30

G09F 9/30

G09F 13/22

(21)Application number : 03-216566

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 02.08.1991

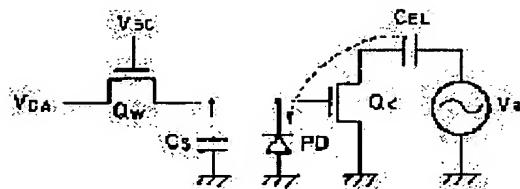
(72)Inventor : SATO YOSHIHIDE

(54) EL DRIVING DEVICE

(57)Abstract:

PURPOSE: To realize the brightness modulation of an EL light emitting element which is linearly proportional to a gradation data voltage.

CONSTITUTION: A capacitor Cs for storage is discharged with a photocurrent generated by making the emitting light of the EL light emitting element CEL incident on a photodiode PD connected in parallel to the capacitor Cs for storage and the gate voltage of a switching element Qd which controls the light emission of the EL light emitting element CEL is decreased to control the light emission time, thereby imposing the brightness modulation which is linearly proportional to the gradation voltage applied as the gate voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-35207

(43) 公開日 平成5年(1993)2月12日

(51) Int. Cl. ^s	識別記号	F I
G09G 3/30	Z 9176-5G	
G09F 9/30	365 C 7926-5G	
13/22	M 7319-5G	

審査請求 未請求 請求項の数4 (全8頁)

(21) 出願番号 特願平3-216566

(22) 出願日 平成3年(1991)8月2日

(71) 出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号

(72) 発明者 佐藤 嘉秀

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

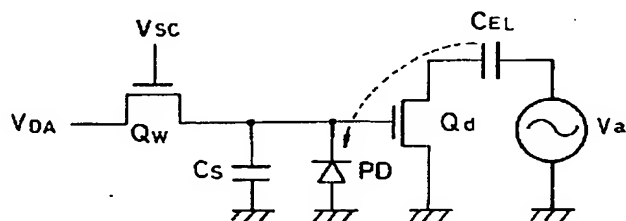
(74) 代理人 弁理士 阪本 清孝 (外1名)

(54) 【発明の名称】 EL駆動装置

(57) 【要約】

【目的】 EL駆動装置において、階調データ電圧に対して線形的に比例したEL発光素子の輝度変調を得る。

【構成】 蓄積用コンデンサに並列に接続されたフォトダイオードにEL発光素子の発光光が入射することにより生じる光電流で前記蓄積用コンデンサの放電を行ない、EL発光素子の発光を制御するスイッチング素子のゲート電圧を低下させて発光時間を制御し、ゲート電圧として印加される階調電圧に対して線形的に比例した輝度変調を行なう。



【特許請求の範囲】

【請求項1】 発光信号に応じて蓄積用コンデンサを充電する第1のスイッチング素子と、前記蓄積用コンデンサからのゲート電圧に応じたスイッチング動作によりEL発光素子の発光を制御する第2のスイッチング素子とを具備するEL駆動装置において、前記蓄積用コンデンサにフォトダイオードを並列に接続すると共に、該フォトダイオードは前記EL発光素子の発光光を受けるように配置されるように構成し、EL発光素子の発光光による光電流で前記蓄積用コンデンサの放電を行ない、前記第2のスイッチング素子のゲート電圧を低下させてEL発光素子の発光時間を制御することを特徴とするEL駆動装置。

【請求項2】 第1のスイッチング素子、第2のスイッチング素子、EL発光素子、フォトダイオードは、それぞれ同一基板上に薄膜プロセスで形成する積層構造とした請求項1記載のEL駆動装置。

【請求項3】 第1のスイッチング素子及び第2のスイッチング素子の半導体活性層、フォトダイオードの光電変換層は、アモルファスシリコン層で形成する請求項2記載のEL駆動装置。

【請求項4】 EL発光素子の積層面に直交する端面からの発光光は、絶縁層を介してフォトダイオードに直接入射するよう形成する請求項2記載のEL駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、EL（エレクトロルミネッセンス）発光素子とスイッチング素子とを組み合わせ構成され、アクティブマトリックス型EL表示装置や電子式印写装置の露光系に用いられるEL駆動装置に関し、特にEL発光素子の輝度変調の制御が容易なEL駆動装置の構造に関するものである。

【0002】

【従来の技術】 アクティブマトリックス型EL表示装置やEL発光素子アレイとして従来使用されているEL駆動装置の1ビット分の等価回路を図6に示す。このEL駆動装置は、第1のスイッチング素子 Q_w （TFT）と、該スイッチング素子 Q_w のソース端子側に一方の端子を接続する蓄積用コンデンサ C_s と、ゲート端子が前記第1のスイッチング素子 Q_w のソース端子に接続され、且つソース端子が前記蓄積用コンデンサ C_s の他方の端子に接続されている第2のスイッチング素子 Q_d （TFT）と、一方の端子が第2のスイッチング素子 Q_d のドレイン端子に接続され、且つ他方の端子がEL駆動電源 V_a に接続されているEL発光素子CELとから構成されている。

【0003】 前記第1のスイッチング素子 Q_w はゲート端子に印加されるスイッチング信号線 Y からの走査電圧 V_{sc} パルスに応じてオンし、この第1のスイッチング素子 Q_w のオン・オフにより情報信号線 X からのデータ電

圧 V_{DA} に応じて蓄積用コンデンサ C_s にデータを書き込むようになっている。そして、第2のスイッチング素子 Q_d は、前記蓄積用コンデンサ C_s に前記データ電圧 V_{DA} が書き込まれたとき、該電圧がゲート端子に印加されることによりオンし、EL駆動電源 V_a によりEL発光素子CELを発光させるようになっている。また、データ電圧 V_{DA} が（L）になると、蓄積用コンデンサ C_s に蓄積された電荷は、第1のスイッチング素子 Q_w のオフ電流で放電される。

【0004】 EL発光素子CELは、第1の電極、絶縁層、発光層、絶縁層、第2の電極を順次積層した薄膜プロセスで形成される。このEL発光素子CELの輝度 L は、例えば発光層として $ZnS:Mn$ を使用すると、図7に示すように、交流の駆動電圧 V_a に対して、発光しきい値電圧 V_{TEL} 以下で非発光輝度 L_{OFF} 以下となり、これより変調電圧 V_{MOD} だけ高いところの発光時電圧 V_{PK} で所望の表示輝度 L_{ON} を得る。また、駆動周波数に対する輝度特性は、図8に示すように、700Hz程度までは発光回数に直線的に比例する。EL発光素子CELは印加される交流電源の極性が反転する際に発光するので、前記スイッチング素子 Q_d の導通（オン）時間を調整すれば発光回数を制御することができる。

【0005】 図6において、データ電圧 V_{DA} は書き込み用の第1のスイッチング素子 Q_w のオン動作により蓄積用コンデンサ C_s に充電されて保持される。この電圧がEL駆動用の第2のスイッチング素子 Q_d のゲート電圧 V_G として作用し、該スイッチング素子 Q_d のオン・オフを制御する。このゲート電圧 V_G により、EL発光素子CELの輝度は発光時電圧 V_{PK} において図9のような特性となる。すなわち、第2のスイッチング素子 Q_d のゲート端子にかかるゲート電圧 $V_G(t)$ は、図10（a）に示すように、階調データ電圧 V_{DA} による蓄積用コンデンサ C_s への書き込み直後のゲート電圧 V_{G0} から第1のスイッチング素子 Q_w のオフ電流による放電により減衰する曲線で表わされる。そして、スイッチング素子 Q_d が非導通（オフ）となるしきい値ゲート電圧（非発光最大ゲート電圧） V_{gh2} になるまでには t_1 時間を要することとなり、この期間内でスイッチング素子 Q_d が導通（オン）状態となりEL発光素子CELに駆動電圧 V_a （ $V_{pk} \sin \omega t$ ）（図11（b））が印加される。従って、蓄積用コンデンサ C_s に書き込むための階調データ電圧 V_{DA} を変化させればEL駆動時間 t_1 が変化し、EL駆動時間 t_1 期間内での発光回数が制御ができ、EL発光素子CELの階調表示を得ることができる。

【0006】

【発明が解決しようとする課題】 上記のようなEL駆動装置によれば、例えば1ラインを形成するELイメージバーの1ビットにおいて、各ラインでの階調データ電圧 V_{DA} が相違するので、放電電流が不安定であり、また、蓄積用コンデンサ C_s の保持電圧より階調データ電圧 V

DAが高くなる場合もあり、この場合、逆に充電されてしまいゲート電圧 $V_G(t)$ がオフになるまでの期間 t_1 を制御できないという問題点があった。

【0007】そこで、本発明者は、図11に示すように、第2のスイッチング素子 Q_d のゲート端子側に、蓄積用コンデンサ C_s と並列に接続される放電抵抗 R を設けることにより、蓄積用コンデンサ C_s に蓄積された電荷を放電抵抗 R を介して放電させ、EL発光素子 CEL の発光を制御する第2のスイッチング素子 Q_d においての安定したオン期間を得ることができる構成を提案した。

【0008】しかしながら、この構成によれば、第2のスイッチング素子 Q_d のオン/オフを制御するゲート電圧 $V_G(t)$ は、図10(a)の点線で示されるように、蓄積コンデンサ C_s の容量と放電抵抗 R との時定数 $C_s R$ で減衰するため、立ち下がりが急な曲線となり、EL駆動時間 t_1 とEL発光素子 CEL の発光回数が線形の対応とならず、階調データ電圧 V_{DA} に比例したEL発光素子 CEL の発光回数を得られないという問題点があった。

【0009】本発明は上記実情に鑑みてなされたもので、階調データ電圧に対して線形的に比例したEL発光素子の輝度変調を得ることができるEL駆動装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記従来例の問題点を解消するため請求項1のEL駆動装置は次のように構成されている。発光信号に応じて蓄積用コンデンサを充電する第1のスイッチング素子と、前記蓄積用コンデンサからのゲート電圧に応じたスイッチング動作によりEL発光素子の発光を制御する第2のスイッチング素子とを具備している。前記蓄積用コンデンサにフォトダイオードを並列に接続すると共に、該フォトダイオードは前記EL発光素子の発光光を受けるように配置されるように構成している。そして、EL発光素子の発光光による光電流で前記蓄積用コンデンサの放電を行ない、前記第2のスイッチング素子のゲート電圧を低下させてEL発光素子の発光時間を制御する。

【0011】請求項2の発明は、請求項1記載のEL駆動装置において、第1のスイッチング素子、第2のスイッチング素子、EL発光素子、フォトダイオードは、それぞれ同一基板上に薄膜プロセスで形成される積層構造とする。

【0012】請求項3の発明は、請求項2記載のEL駆動装置において、第1のスイッチング素子及び第2のスイッチング素子の半導体活性層、フォトダイオードの光電変換層は、アモルファスシリコン層で形成している。

【0013】請求項4の発明は、請求項2記載のEL駆動装置において、EL発光素子の積層面に直交する端面からの発光光は、絶縁層を介してフォトダイオードに直接入射するよう形成している。

【0014】

【作用】請求項1記載の発明によれば、蓄積用コンデンサに並列に接続されたフォトダイオードにEL発光素子の発光光が入射することにより生じる光電流で前記蓄積用コンデンサの放電を行ない、第2のスイッチング素子のゲート電圧を低下させてEL発光素子の発光時間を制御し、ゲート電圧として印加される階調電圧に対して線形的に比例した輝度変調を行なう。

【0015】請求項2記載の発明によれば、請求項1記載のEL駆動装置において、第1のスイッチング素子、第2のスイッチング素子、EL発光素子、フォトダイオードを薄膜積層構造としたので、同一基板上に薄膜プロセスで形成することができ、大面積化を図ることができる。

【0016】請求項3記載の発明によれば、請求項2記載のEL駆動装置において、第1のスイッチング素子及び第2のスイッチング素子の半導体活性層、フォトダイオードの光電変換層としてアモルファスシリコンを用いることにより、特性がよく且つ製造が容易な大面積デバイスを得ることができる。

【0017】請求項4記載の発明によれば、請求項2記載のEL駆動装置において、EL発光素子の積層面に直交する端面からの発光光は、絶縁層を介してフォトダイオードに直接入射するよう形成することにより、フォトダイオードに光電流を生じさせて蓄積用コンデンサの放電を行なうことができる。

【0018】

【実施例】本発明の一実施例について図1を参照しながら説明する。図1は本発明の実施例に係るEL駆動装置の簡易等価回路図であり、マトリックス型EL表示装置やEL発光素子アレイの1ビット分を示すものである。第1のスイッチング素子 Q_w は、ドレイン側の情報信号線 X にデータ電圧パルスが供給されるように構成され、ソース側には一端が接地された蓄積用コンデンサ C_s が接続されている。また、第1のスイッチング素子 Q_w のソース側には、アノード側が接地されたフォトダイオード PD のカソード側が接続されている。第1のスイッチング素子 Q_w のゲートに接続されたスイッチング信号線 Y には、走査電圧パルスが印加されるようになってい。また、第1のスイッチング素子 Q_w のソース側は第2のスイッチング素子 Q_d のゲートに接続されている。従って、第2のスイッチング素子 Q_d のゲート端子とグランドとの間に、蓄積用コンデンサ C_s とフォトダイオード PD とが互いに並列に接続されるよう構成されている。第2のスイッチング素子 Q_d のドレイン側には、EL発光素子 CEL 及びEL駆動電源 V_a ($V_a = V_{pksin} \omega t$) が直列に接続され、第2のスイッチング素子 Q_d のソース側は接地されているので、第2のスイッチング素子 Q_d を介してEL発光素子 CEL に交流のEL駆動電源 V_a が印加するようになっている。

【0019】次に上述の1ビットの駆動回路の動作につ

いて、発光動作の最小単位である1フレーム期間 t_{FR} のタイミングチャートを示す図2(a)ないし(f)を参照しながら説明する。フレーム期間 t_{FR} は、スイッチング信号線Yに印加される走査電圧パルスの立ち上がりから次の走査電圧パルスの立ち上がりまでの期間である。第1のスイッチング素子 Q_w のゲートに接続されたスイッチング信号線Yに走査電圧パルス(走査電圧 V_{sc})が印加されると、第1のスイッチング素子 Q_w が導通(オン)状態となる。これよりやや早く情報信号線Xにはデータ電圧パルス(データ電圧 V_{DA})が印加され、前記走査電圧 V_{sc} のパルス幅に対応する時間において第1のスイッチング素子 Q_w のオン抵抗(R_{on})を通して蓄積用コンデンサ C_s が充電される(t_a 期間)。このとき、ゲート電圧 V_G として作用する蓄積用コンデンサ C_s の両端の電圧は、 $V_{DA}(1 - \exp(-t/\tau))$ にしたがって変化する($\tau = R_{on} \cdot C_s$)。また、データ電圧 V_{DA} のパルス幅は、走査電圧 V_{sc} のパルス幅より広く設定されている。スイッチング信号線Yに印加される電圧が0となると、第1のスイッチング素子 Q_w は遮断(オフ)状態になり、データ電圧 V_{DA} まで充電されている蓄積用コンデンサ C_s の電圧は、第1のスイッチング素子 Q_w のゲート、ソース間容量によるフィードスルーにより電圧降下して電圧 V_g となる。ゲート電圧 V_G が非発光最大ゲート電圧 V_{gh2} 以上であれば第2のスイッチング素子 Q_d は導通(オン)状態となり、走査電圧 V_{sc} が立ち下がった後、EL発光素子CELにEL駆動電源 V_a を印加してEL発光素子CELを発光させる。図1の簡易等価回路においては、EL発光素子CELへのEL駆動電源 V_a の印加が走査電圧 V_{sc} の立ち下がりに同期させるための制御回路が省略してある。

【0020】EL発光素子CELが発光すると、その発光がフォトダイオードPDに入射し、明電流(光電流) I_p を発生させて前記蓄積コンデンサ C_s に蓄積された電荷を放電させる。そして、この放電によりゲート電圧 V_G が低下し、EL発光素子CELが非発光状態になる電圧 V_{gh2} まで発光直後の電圧 V_g から減衰するまでに要した時間が発光期間 t_b となり、その間の駆動電源 V_a の極性反転の回数によりEL発光強度(図2(d))が決められる。すなわち、発光期間 t_b 内に何回発光したかにより1フレーム期間 t_{FR} におけるEL発光素子CELの輝度が定まる。

【0021】この動作において、蓄積用コンデンサ C_s に蓄積された電荷は、フォトダイオードPDを介して放電し図1の駆動回路のように時定数に依存することなく略直線状に減衰するので、発光期間 t_b に比例したEL発光強度を得ることができる。また、蓄積用コンデンサ C_s に蓄積された電荷はデータ電圧 V_{DA} の大きさにより決まるので、データ電圧 V_{DA} によりEL発光強度を変化させて輝度変調を行なわせることができる。すなわち、最大データ電圧のときのゲート電圧 V_g を V_{gon} と

すると、この V_{gon} からEL発光素子CELが非発光状態になる V_{gh2} まで低下する期間を最大表示輝度になるように前記明電流 I_p を設定する。従って、明電流 I_p は、 $I_p = (V_{gon} - V_{gh2}) \times C_s / t_{FR}$ で表わせる。そして、 V_{gon} から発光飽和ゲート電圧 V_{gh1} までの電圧に対応したデータ電圧 V_{DA} を印加すれば、このデータ電圧 V_{DA} に対応するゲート電圧 V_g から V_{gh2} まで低下する期間がEL駆動期間 t_b となり、表示輝度が変調されて階調表示が可能となる。尚、 $(V_{gh1} - V_{gh2})$ はできるだけ小さく、また、 $(V_{gon} - V_{gh1})$ は $(V_{gh1} - V_{gh2})$ に比較して十分大きく設定するほうが望ましい。図2(e)及び図2(f)は、データ電圧 V_{DA} を変化させることにより、ゲート電圧 V_G が非発光最大電圧 V_{gh2} まで低下するに要した発光期間 t_b を制御し、EL発光強度を変化させて輝度変調を行なったもので、図2(e)は駆動電源 V_a の全周期が発光期間 t_b となる場合であり、図2(f)は駆動電源 V_a の3周期分が発光期間 t_b に該当する場合である。

【0022】次に、EL発光素子CELが非発光時の電流を暗電流 I_d とすると、これは、フォトダイオードPD自身の暗電流に外光による電流が加算されたものとして扱える。この外光が使用環境で一定であれば、データ電圧 V_{DA} に暗電流 I_d を絶対量として抑える必要があれば、暗電流 I_d によるゲート電圧 V_g の変化が1階調レベル以内にあるようにすればよい。従って、階調レベルをNGRとすると、許容暗電流 I_d は次式で表わせる。

$$I_d = I_p / \text{NGR}$$

【0023】図3は本発明を $m \times n$ 個のビット数を有するマトリックス型EL表示装置に応用したときの駆動回路を示している。すなわち、図1に示した一画素の駆動回路を上下、左右に複数個並べ、左右方向に並んだ各駆動回路のゲートをスイッチング信号線Yに接続し、上下方向に並んだ各駆動回路の情報信号線Xを共通にしたものである。図1と同一部分については、同一符号を付して詳細な説明を省略する。EL発光素子CELの一侧には交流電源駆動線Zを介してEL駆動電源 V_a が供給されている。

【0024】次に、EL駆動装置の具体的な構造について、図4及び図5を参照して説明する。図4はEL駆動装置の1ビットの平面説明図であり、図5は図4のA-A線に対応する断面説明図である。図中、図1と同一構成部分は同一符号を付している。図5では、第1のスイッチング素子 Q_w 及び蓄積コンデンサ C_s はあらわれない。EL発光素子CELは、ガラス等から成る透明基板10上に、酸化インジウム・スズ(ITO)から成る透明電極11、窒化シリコン(SiNx)から成る第1誘電体層12、ZnS:Mn等から成る発光層13、窒化シリコン(SiNx)から成る第2誘電体層14、クロム(Cr)等の金属から成る背面電極15を順次積層して構成されている。スイッチング素子 Q_w 及び Q_d は、透

明基板 1 0 上に、クロム (C r) 等の金属からなるゲート電極 2 1、窒化シリコン (S i N x) からなる絶縁層 2 2、アモルファスシリコン (a - S i) からなる半導体層 2 3、窒化シリコン (S i N x) からなる上部絶縁層 2 4、クロム (C r) 等の金属から成り互に分離して対向するドレイン電極 2 5 及びソース電極 2 6 を順次積層して構成されている。そして、透明電極 1 1 は交流電源駆動線 Z に、背面電極 1 5 は前記ドレイン電極 2 5 に接続されている。

【 0 0 2 5 】 また、 E L 発光素子 C E L とスイッチング素子 Q d との間の透明基板 1 0 上に、クロム (C r) 等の金属からなるカソード電極 3 1、アモルファスシリコン (a - S i) からなる半導体層 3 2、酸化インジウム・スズ (I T O) 等からなるアノード電極 3 3 を順次積層して構成されるフォトダイオード P D が形成されている。前記第 2 誘電体層 1 4 は、フォトダイオード P D の保護層を兼用している。フォトダイオード P D のアノード電極 3 3 はスイッチング素子 Q d のソース電極 2 6 に、カソード電極 3 1 はスイッチング素子 Q d のゲート電極 2 1 に接続されている。透明基板 1 0 側からフォトダイオード P D への外光は、カソード電極 3 1 で遮光されている。また、透明基板 1 0 の背面側は遮光部材で封止され、フォトダイオード P D 及びスイッチング素子 Q w 及び Q d への外光の入射を防止している。蓄積コンデンサ C s は、誘電体層を二つの電極で挟んで構成され、上部電極はスイッチング素子 Q d のソース電極 2 6 及びグランド線に、下部電極はスイッチング素子 Q w のドレイン電極及びスイッチング素子 Q d のゲート電極 2 1 に接続されている。また、 E L 駆動装置全体はポリイミド等から成る保護膜 4 0 により被覆されている。

【 0 0 2 6 】 次に、図 5 の断面図にあらわれる E L 駆動装置の E L 発光素子 C E L、スイッチング素子 Q d (T F T)、フォトダイオード P D の製造プロセスについて簡単に説明する。透明基板 1 0 上に、酸化インジウム・スズ (I T O) を着膜し、フォトリソ工程及びエッチング工程でパターニングして E L 発光素子 C E L の透明電極 1 1 を形成する。次に、クロム (C r) を着膜し、フォトリソ工程及びエッチング工程でパターニングしてスイッチング素子 Q d のゲート電極 2 1 及びフォトダイオード P D のカソード電極 3 1 を形成する。続いて S i N x を着膜して E L 発光素子 C E L の第 1 誘電体層 1 2 及びスイッチング素子 Q d の絶縁層 2 2 を形成する。

【 0 0 2 7 】 T F T 部において、アモルファスシリコン (a - S i) 及び窒化シリコン (S i N x) を順次着膜し、それぞれパターニングしてスイッチング素子 Q d の半導体層 2 3 及び上部絶縁層 2 4 を形成する。フォトダイオード P D 部において、アモルファスシリコン (a - S i) 及び酸化インジウム・スズ (I T O) を順次着膜し、それぞれパターニングしてフォトダイオード P D の半導体層 3 2 及びアノード電極 3 3 を形成する。

【 0 0 2 8 】 Z n S : M n 層から成る発光層 1 3 を透明電極 1 1 上方に形成し、該発光層 1 3 及び前記アノード電極 3 3 を覆うように S i N x を着膜して第 2 誘電体層 1 4 を形成する。クロム (C r) を着膜し、フォトリソ工程及びエッチング工程でパターニングして E L 発光素子 C E L の背面電極 1 5 及びスイッチング素子 Q d のドレイン電極 2 5 及びソース電極 2 6 を形成する。背面側全体にポリイミドを着膜して保護膜 4 0 を形成する。上記製造プロセスにおいて、スイッチング素子 Q d の半導体活性層 2 3 及びフォトダイオード P D の半導体層 3 2 はともにアモルファスシリコンで形成されているが、それぞれ 0 . 0 5 μ m、1 μ m と膜厚が相違するため、同一に着膜することができない。

【 0 0 2 9 】 上記のような E L 駆動装置の構成によれば、 E L 発光素子 C E L の発光層 1 3 からの光は、透明基板 1 0 側を照射するとともに、 E L 発光素子の積層面に直交する端面から放射される光は、第 2 誘電体層 1 4 を経由してフォトダイオード P D の端部より入射する。この光により半導体層 2 2 中に光電流が生じて前記蓄積コンデンサ C s に蓄積された電荷を放電させるように作用する。また、フォトダイオード P D を介して電荷を放電させるため、第 1 のスイッチング素子 Q w のオフ抵抗を大きくすることができ、例えば、その半導体活性層 2 3 としてアモルファスシリコン (a - S i) を使用することができ、スイッチング素子 Q w 及び Q d を同一薄膜積層プロセス中で形成することができる。また、フォトダイオード P D の半導体層 3 2 をスイッチング素子 Q w 及び Q d の半導体活性層に使用されるアモルファスシリコン (a - S i) で形成したので、製造プロセスの簡略化を図ることができる。

【 0 0 3 0 】

【発明の効果】 本発明によれば、蓄積用コンデンサに並列に接続されたフォトダイオードに E L 発光素子の発光光が入射することにより生じる光電流で前記蓄積用コンデンサの放電を行ない、第 2 のスイッチング素子のゲート電圧を低下させるため、前記ゲート電圧が略直線状に減衰するので階調データ電圧に比例した発光回数の制御が可能となり、均一な階調表示を容易に行なうことができる。

【図面の簡単な説明】

【図 1】 本発明の一実施例に係る E L 駆動装置の簡易回路図である。

【図 2】 (a) ないし (f) 本実施例による E L 駆動装置の動作を説明するためのタイミングチャート図である。

【図 3】 本実施例をマトリックス型 E L 表示装置に応用した場合の駆動回路図である。

【図 4】 本実施例の E L 駆動装置の平面説明図である。

【図 5】 図 4 の A - A 線断面説明図である。

【図 6】 従来の EL 駆動装置の簡易等価回路図である。

【図 7】 EL 駆動装置における駆動電圧と輝度との関係を示すグラフである。

【図 8】 EL 駆動装置における駆動周波数と輝度との関係を示すグラフである。

【図 9】 EL 駆動装置における駆動用スイッチング素子のゲート電圧と輝度との関係を示すグラフである。

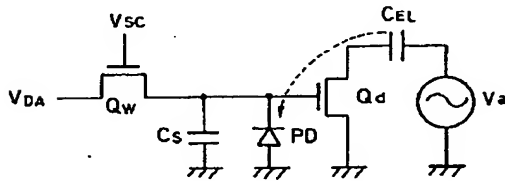
【図 10】 (a) (b) は EL 発光素子の発光動作を説明するためのタイミング図である。

【図 11】 本発明者が過去に提案した EL 駆動装置の簡易等価回路図である。

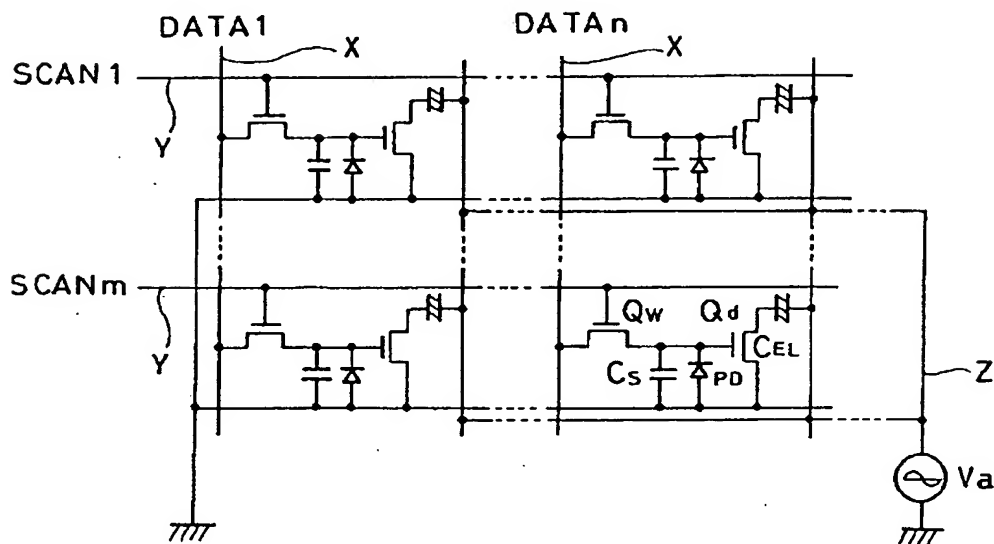
【符号の説明】

10…透明基板、 11…透明電極、 12…第 1 誘電体層、 13…発光層、 14…第 2 誘電体層、 15…背面電極、 31…カソード電極、 22…半導体層、 33…アノード電極、 Qw…第 1 のスイッチング素子、 Qd…第 2 のスイッチング素子、 CEL…EL 発光素子、 Cs…蓄積用コンデンサ、 PD…フォトダイオード、 Va…EL 駆動電源

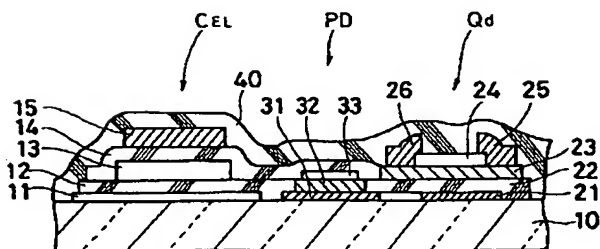
【図 1】



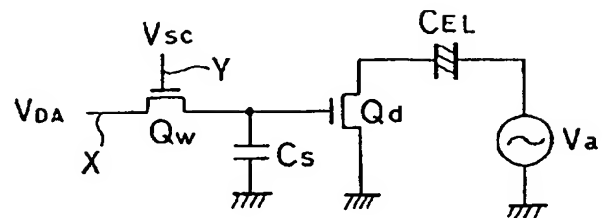
【図 3】



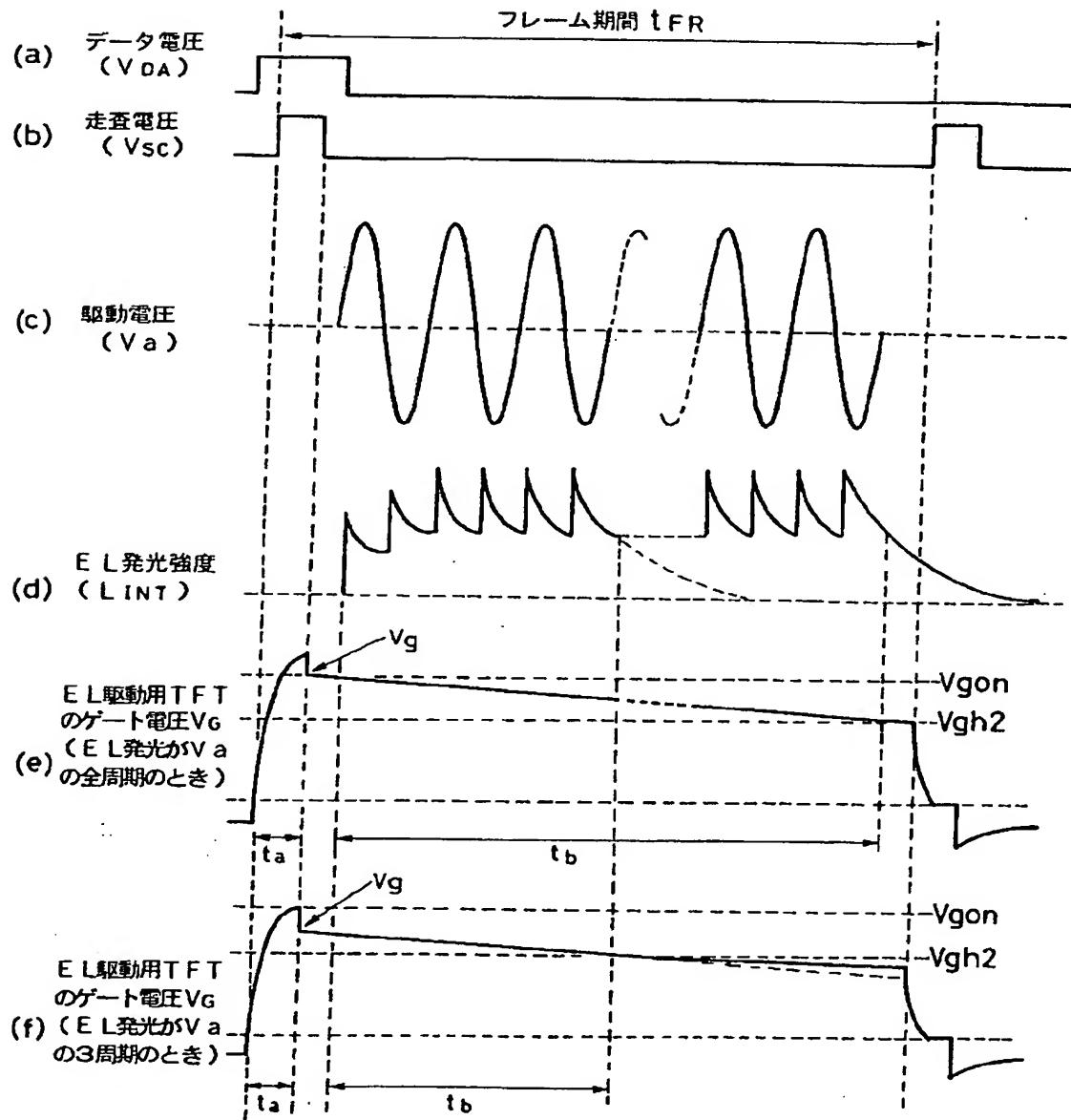
【図 5】



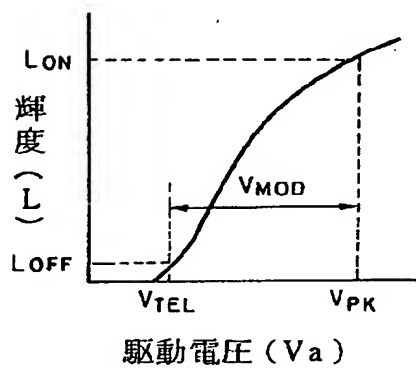
【図 6】



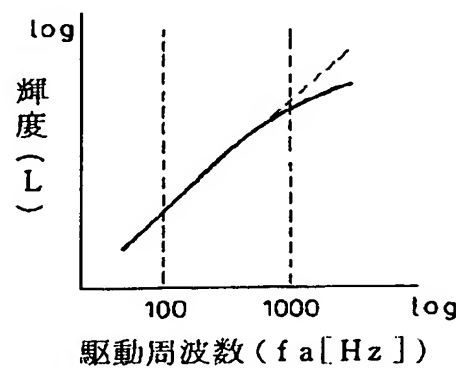
【図2】



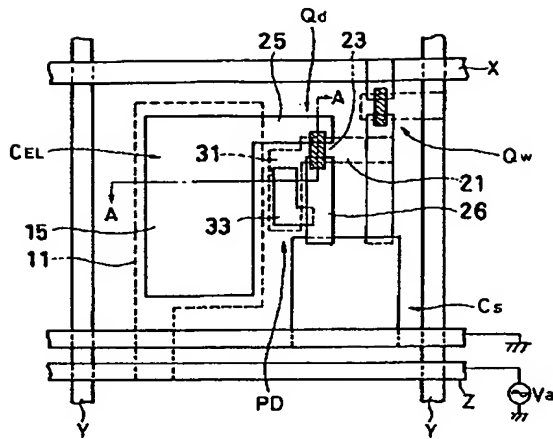
【図7】



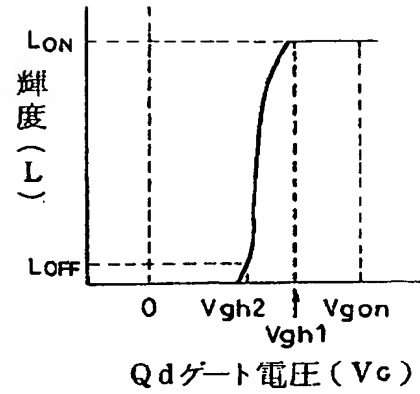
【図8】



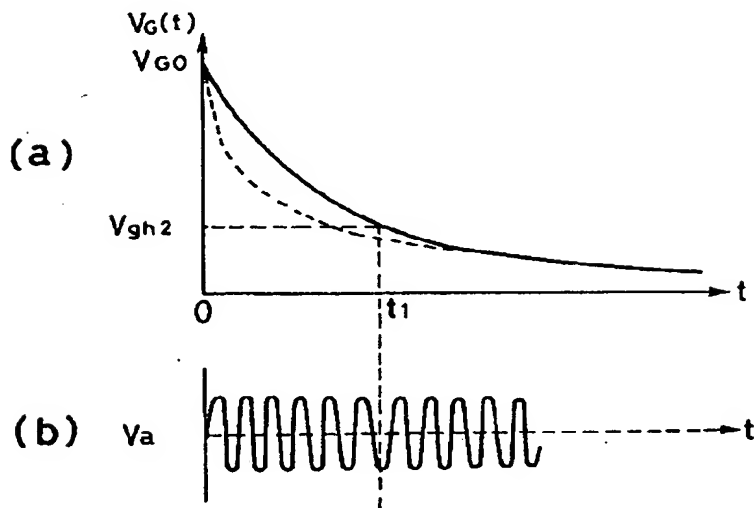
【図 4】



【図 9】



【図 10】



【図 11】

